

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097140

(43)Date of publication of application : 08.04.1994

(51)Int.Cl. H01L 21/304
H01L 21/302
// H01L 21/31

(21)Application number : 04-270901

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.1992

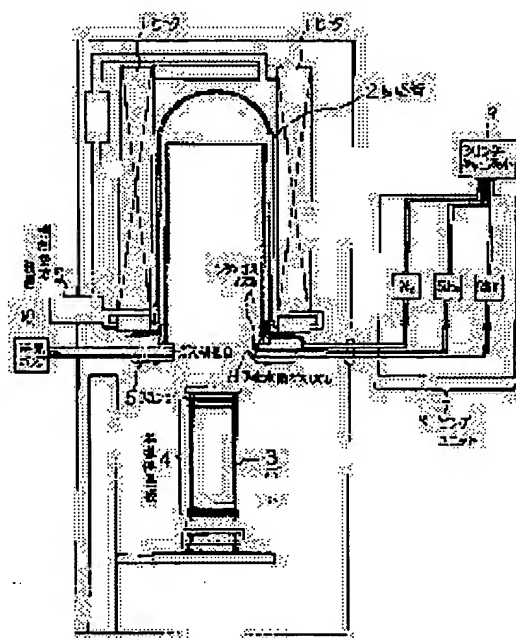
(72)Inventor : TAKAHASHI KOICHI
MIYASHITA NAOTO
FURUYAMA MITSUTOSHI

(54) SEMICONDUCTOR SUBSTRATE PROCESSING METHOD

(57)Abstract:

PURPOSE: To perform heat treatment of semiconductor substrate while protecting the surface thereof against adhesion of oxide.

CONSTITUTION: The method for processing a semiconductor substrate comprises a step for transferring a semiconductor substrate 4 into a heat treatment chamber 2 set at a temperature lower than 150° C, a step for elevating the temperature in the heat treatment chamber 2 to 200° C or thereabout and discharging moisture adhering to the semiconductor substrate 4, a step for introducing etching gas into the heat treatment chamber 2 and removing oxide from the surface of the semiconductor substrate 4 through etching, and a step for elevating the temperature in the heat treatment chamber 2 upto heat treatment temperature and then subjecting the semiconductor substrate 4 to heat treatment.



LEGAL STATUS

[Date of request for examination] 03.06.1996

[Date of sending the examiner's decision of rejection] 17.11.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-97140

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

H 0 1 L 21/304

21/302

// H 0 1 L 21/31

識別記号

3 4 1 D

8831-4M

P 9277-4M

E

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平4-270901

(22)出願日 平成4年(1992)9月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高 橋 幸 一

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72)発明者 宮 下 直 人

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72)発明者 古 山 充 利

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

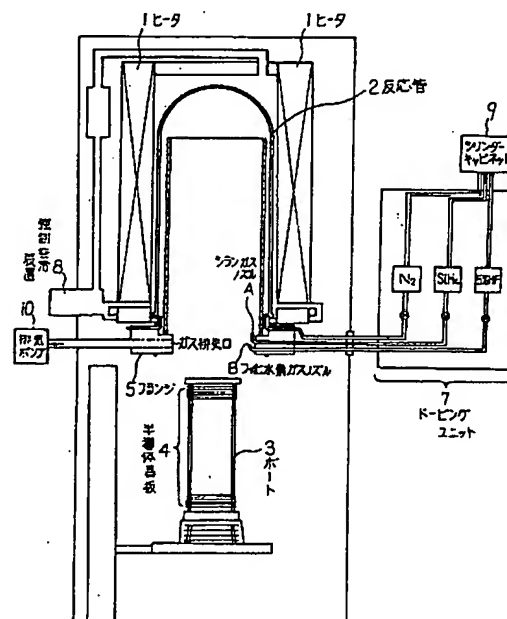
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体基板処理方法

(57)【要約】

【目的】 半導体基板を、その表面に酸化膜が付着しないようにして熱処理する。

【構成】 本発明の半導体基板処理方法は、半導体基板4を、150℃以下の温度とした熱処理室2へ搬入するステップと、その熱処理室2を200℃前後の温度に昇温して、前記半導体基板4に付着している水分を放出させるステップと、前記熱処理室2内にエッチングガスを導入して、前記半導体基板4表面の酸化膜のエッチングを行うステップと、前記熱処理室2の温度を熱処理温度まで昇温して、前記半導体基板4を熱処理するステップと、を備えるものとして構成される。



(本発明の実施装置)

【特許請求の範囲】

【請求項1】半導体基板を、150℃以下の温度とした熱処理室へ搬入するステップと、

その熱処理室を200℃前後の温度に昇温して、前記半導体基板に付着している水分を放出させるステップと、前記熱処理室内にエッチングガスを導入して、前記半導体基板表面の酸化膜のエッチングを行うステップと、前記熱処理室の温度を熱処理温度まで昇温して、前記半導体基板を熱処理するステップと、を備える半導体基板の熱処理方法。

【請求項2】前記エッチングを行うステップでは、前記エッチングガスとして微量の水分を含むフッ化水素ガスを用いて前記酸化膜のエッチングを行う、請求項1記載の方法。

【請求項3】前記熱処理を行うステップの後に、シリコンを含んだガスを導入して、前記半導体基板の表面にポリシリコン層を形成する工程をさらに含む、請求項1又は2記載の方法。

【請求項4】前記熱処理を行うステップの後に、シリコン及び窒素を含んだガスを導入して、前記半導体基板の表面に窒化膜層を形成する工程をさらに含む、請求項1又は2記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板処理方法に関し、特に、半導体基板を熱処理装置に出し入れする場合並びに熱処理装置内部で熱処理する場合に、半導体基板上に酸化膜が成長するのを抑制し、また成長した酸化膜を除去するようにした半導体基板処理方法に関する。

【0002】

【従来の技術】従来、一般に、半導体基板を熱処理装置に出し入れする場合に、半導体基板表面に酸化膜が成長するのを抑制するための機構が設けられていた。例えば、熱処理装置への半導体基板の出し入れ領域を外気と隔離し、この領域の雰囲気を実真空に引いた後に、熱処理装置への半導体基板の出し入れを行うようにしていた。その結果、外気の混入による半導体基板表面の酸化膜の成長は抑制される。

【0003】

【発明が解決しようとする課題】上記の構成によれば、外気の混入による半導体基板上への酸化膜の成長は、抑制できる。しかし、半導体基板がもともと吸着している水分による酸化膜の成長は抑制できない。また、半導体基板の酸化膜除去処理を行った後、熱処理装置に半導体基板を挿入するまでの間に形成された酸化膜の除去はできない。

【0004】本発明は、上記に鑑みてなされたもので、その目的は、半導体基板の表面に酸化膜被着のない状態で熱処理を行うことを可能とした半導体基板処理方法を提供することにある。

【0005】

【課題を解決するための手段】本発明の第1の半導体基板処理方法は、半導体基板を、150℃以下の温度とした熱処理室へ搬入するステップと、その熱処理室を200℃前後の温度に昇温して、前記半導体基板に付着している水分を放出させるステップと、前記熱処理室内にエッチングガスを導入して、前記半導体基板表面の酸化膜のエッチングを行うステップと、前記熱処理室の温度を熱処理温度まで昇温して、前記半導体基板を熱処理するステップと、を備えるものとして構成される。

10

【0006】本発明の第2の方法は、前記第1の方法において、前記エッチングを行うステップでは、前記エッチングガスとして微量の水分を含むフッ化水素ガスを用いて前記酸化膜のエッチングを行うものとして構成される。

【0007】本発明の第3の方法は、前記第1又は第2の方法において、前記熱処理を行うステップの後に、シリコンを含んだガスを導入して、前記半導体基板の表面にポリシリコン層を形成する工程をさらに含むものとして構成される。

20

【0008】本発明の第4の方法は、前記第1又は第2の手法において、前記熱処理を行うステップの後に、シリコン及び窒素を含んだガスを導入して、前記半導体基板の表面に窒化膜層を形成する工程をさらに含むものとして構成される。

【0009】

【作用】半導体基板は比較的低温度の熱処理室に挿入される。これにより、基板表面上への酸化膜の成長は抑制される。前記熱処理室を比較的高温度として一定時間保持することにより、前記半導体基板から水分が除去される。熱処理室にエッチングガスを導入することにより、前記半導体基板上に成長した酸化膜を除去する。この後、前記熱処理室を高温度とし熱処理を行う。

30

【0010】

【実施例】以下、図面を参照しながらこの発明の実施例を説明する。

【0011】図1は本発明の一実施例に係る半導体基板処理方法を実施するための熱処理装置の概略構成図である。特に、減圧下で、ポリシリコンの形成を行う熱処理装置を例示するものである。図1に示すように、反応管2がヒータ1に囲まれて熱処理部を構成している。半導体基板4は、これを保持する半導体基板保持ポート3に搭載された状態で、反応管2の中に挿入される。基板4はこの管2中で熱処理され、ポリシリコンが形成される。熱処理温度を500℃以下の温度とした場合において、反応管2内部の温度を、10℃/分以上のレートで降温させる。このために、空冷式の強制空冷装置8が取り付けられている。この装置8は、冷却した空気を、ヒータ1と反応管2の間を強制的に通過させ、反応管2内部の冷却を行う。フランジ5には、ガス排気口6が設け

50

られている。この排気口6を介して、排気ポンプ10により反応管2内部を真空に引く。一方、シリンダーキャビネット9に接続されるドーピングユニット7は、 N_2 、 SiH_4 、5%HFなどのガスを調合し、シランガスノズルA、フッ化水素ガスノズルBを通じて、反応管2内に処理用のガスを供給する。反応管2内部に半導体基板4を挿入した後に、半導体基板4上に被着している酸化膜を除去するため、微量の水分、例えば、3000 ppm以下の水分を含むフッ化水素ガスが、ドーピングユニット7で調合され、フッ化水素ガスノズルBを通じて、反応管2内部に供給される。

【0012】以上のような構成において、次にその動作を説明する。

【0013】まず、ヒータ1により反応管2内部の温度を100℃とする。この後、半導体基板保持ポート3に保持されている半導体基板4を、反応管2内部に挿入する。その後、フランジ5に開口したガス排気口6から排気して、反応管2内部を1mmTorrまで真空に引く。反応管2内部の温度を、20℃/分の速度で、200℃まで上げる。この温度で30分間保持する。これにより、半導体基板4表面に吸着されている水分を放出させる。その後、強制空冷装置8を動作させて、15℃/分の速度で、50℃まで反応管2内部の温度を降下させる。引き続いて、2000 ppmの水分を含む5%HF（ベースガスが窒素の5%フッ化水素ガス）を、ドーピングユニット7から、フッ化水素ガスノズルBを経て、反応管2内部に導入する。これにより、酸化膜の除去を行う。この後、再度反応管2内部を、1mmTorrまで真空に引き、20℃/分で625℃まで昇温する。昇温後に温度が安定した状態になってから、ドーピングユニット7から、シランガスノズルAを通じて、 SiH_4 （シランガス）を130 sccm程流す。これにより、半導体基板4へのポリシリコン膜の形成を行う。反応管2内部を、再度、強制空冷装置8により、15℃/分の速度で、100℃まで冷却する。然る後、半導体基板4を反応管2から取り出すことにより、半導体基板4の熱処理を終了する。

【0014】以上のような処理を行った上で形成したポリシリコンに、ドーズ量が $1.2E16\text{ cm}^{-2}$ 、加速電圧50 keVで、Asを、イオン注入する。これにより、npnトランジスタのエミッタ領域を形成する。そのnpnトランジスタのエミッタ抵抗を形成する。このようにしたトランジスタを、従来の方法で形成したnpnトランジスタのものと比較する。両者のエミッタサイズとエミッタ抵抗の関係を、図2に示す。図2では、横軸がエミッタ長（ μm ）、縦軸がエミッタ抵抗（ Ω ）である。エミッタ幅は0.5 μm で一定とする。図2からも明ら

かなように、本発明の方法により形成したポリシリコンを用いてエミッタ部を形成すると、エミッタ長2 μm で見ると、エミッタ抵抗が従来に比べて約1/3になっていることが判かる。また、両者のエミッタ部の断面を高分解能の透過型電子顕微鏡で見ると、これらを図3、図4の図面付図写真に示す。同図4は実施例の方法で形成したポリシリコン。図3は従来方法によるポリシリコンを示す。後者では、ポリシリコンと半導体基板の界面での酸化膜の成長はない。図3の従来方法で形成したものは、10程度の酸化膜領域があることが判る。

【0015】前記シランガスに代えてシランガスとアンモニアガス（窒素を含んだガス）を流して、窒化膜層を形成することもできる。

【0016】このように、本発明の方法によりポリシリコン層又は窒化膜層を形成した場合には、ポリシリコン下に酸化膜の形成をなくすることができる。このため、エミッタ抵抗の低いデバイスを形成することができる。

【0017】

【発明の効果】以上述べたように、本発明によれば、半導体基板の酸化膜の成長抑制と酸化膜の除去を、比較的短時間で達成でき、このため、効率的に高性能の半導体基板を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体基板処理方法を実施する熱処理装置の概略構成図である。

【図2】本実施例の半導体基板処理方法により得たnpnトランジスタのエミッタサイズとエミッタ抵抗の関係を、従来方法で形成したもののそれと比較して示す説明図である。

【図3】従来方法により得た半導体基板におけるnpnトランジスタのエミッタ部の断面の金属組織を示す高分解能透過型電子顕微鏡写真である。

【図4】本発明の方法により得た半導体基板におけるnpnトランジスタの図3に対応する金属組織を示す顕微鏡写真である。

【符号の説明】

- 1 ヒータ
- 2 反応管
- 3 半導体基板保持ポート
- 4 半導体基板
- 5 フランジ
- 6 ガス排気口
- 7 ドーピングユニット
- 8 強制空冷装置
- 9 シリンダーキャビネット
- 10 排気ポンプ

ポリシリコン
酸化膜
10Å
半導体基板

エミッタ幅: $0.5\mu\text{m}$

従来方法のホリシリコン

本発明方法のホリシリコン

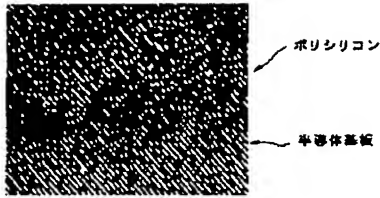
エミッタ長 (μm)

エミッタ抵抗 (Ω)

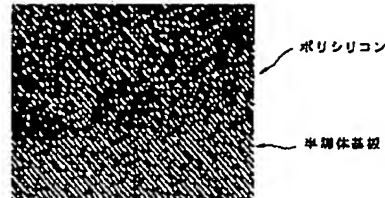
Figure 1 is a log-log plot showing the relationship between the length of the I-mittag (I-mittag長) and the I-mittag resistance (I-mittag抵抗). The x-axis represents I-mittag length in micrometers (μm) on a logarithmic scale from 0.1 to 10. The y-axis represents I-mittag resistance in ohms (Ω) on a logarithmic scale from 10 to 1000. Two data series are plotted: "従来の方法のポリシリコン" (Polysilicon by conventional method) represented by solid circles and a solid line, and "新表明方法のポリシリコン" (Polysilicon by new method) represented by open circles and a solid line. Both series show a linear decrease on the log-log scale, indicating a power-law relationship. The new method shows lower resistance for the same length compared to the conventional method.

(從來例)

【図4】



(本 発 明)



(本 発 明)

【手続補正書】

【提出日】平成4年10月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】以上のような処理を行った上で形成したポリシリコンに、ドーズ量が $1.2 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧50keVで、Asを、イオン注入する。これにより、npnトランジスタのエミッタ領域を形成する。そのnpnトランジスタのエミッタ抵抗を形成する。このようにしたトランジスタを、従来の方法で形成したpnpトランジスタのものと比較する。両者のエミッタサイズとエミッタ抵抗の関係を、図2に示す。図2では、横軸がエミッタ長(μm)、縦軸がエミッタ抵抗(Ω)である。エミッタ幅は $0.5 \mu\text{m}$ で一定とする。図2からも明らかなように、本発明の方法により形成したポリシリコンを用いてエミッタ部を形成すると、エミッタ長 $2 \mu\text{m}$ で見ると、エミッタ抵抗が従来に比べて約 $1/3$ になっていることが判かる。また、両者のエミッタ部の断面を高分解能の透過型電子顕微鏡で見る。これらを図3～図6の写真に示す。同図4、6は実施例の方法で形成したポリシリコン。図3は従来方法によるポリシリコンを示す。後者では、ポリシリコンと半導体基板の界面での酸化膜の成長はない。図3、5の従来の方法で形成したものには、 10 オングストローム程度の酸化膜領域があることが判る。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体基板処理方法を実施する熱処理装置の概略構成図である。

【図2】本実施例の半導体基板処理方法により得たp n

pトランジスタのエミッタサイズとエミッタ抵抗の関係を、従来方法で形成したもののそれと比較して示す説明図である。

【図3】従来方法により得た半導体基板におけるp n pトランジスタのエミッタ部の断面の金属組織を示す高分解能透過型電子顕微鏡写真である。

【図4】本発明の方法により得た半導体基板におけるp n pトランジスタの図3に対応する金属組織を示す顕微鏡写真である。

【図5】従来方法により得た半導体基板におけるp n pトランジスタのエミッタ部の断面の金属組織を示す高分解能透過型電子顕微鏡写真である。

【図6】本発明の方法により得た半導体基板におけるp n pトランジスタの図3に対応する金属組織を示す顕微鏡写真である。

【符号の説明】

- 1 ヒータ
- 2 反応管
- 3 半導体基板保持ポート
- 4 半導体基板
- 5 フランジ
- 6 ガス排気口
- 7 ドーピングユニット
- 8 強制空冷装置
- 9 シリンダーキャビネット
- 10 排気ポンプ

【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】追加

【補正内容】

【図5】

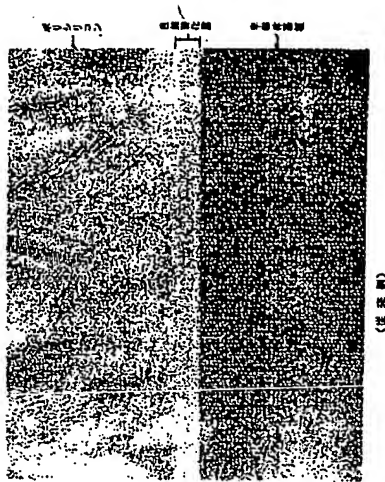
(6)

特開平6-97140

【補正方法】追加

【補正内容】

【図6】



【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図6

